

## CRYSTALLINE SILICON FILM, SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP8022954  
Publication date: 1996-01-23  
Inventor(s): MAKITA NAOKI; others: 01  
Applicant(s): SHARP CORP  
Requested Patent: ☐ JP8022954  
Application Number: JP19940155013 19940706  
Priority Number(s):  
IPC Classification: H01L21/20; H01L29/786; H01L21/336  
EC Classification:  
Equivalents: CN1055791B, CN1119790, JP3422435B2

### Abstract

**PURPOSE:** To provide a crystalline silicon film having uniform and excellent crystallinity all over the whole surface of a board, a semiconductor device which has a high performance element excellent in uniformity and stability by using the crystalline silicon film, and its manufacturing method.

**CONSTITUTION:** An amorphous silicon film 103 in which a catalyzer element promoting crystallization is introduced is formed on a substrate 101. The amorphous silicon film 103 is heat-treated, and crystal nuclei are generated in a part or the whole part of a term wherein crystal nuclei are generated. After that, crystal is grown in the state that the generation of crystal nuclei is prevented. A crystalline silicon film 103 obtained by crystal growth is irradiated with laser light or intensive light, and crystallinity of the crystalline silicon film 103 is promoted.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 2 9 5 4

(43) 公開日 平成8年(1996)1月23日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/20			
	29/786			
	21/336			
		9056- 4 M	H 0 1 L	29/78
		9056- 4 M		3 1 1 H
				3 1 1 Y
審査請求	未請求	請求項の数 1 2	O L	(全 1 3 頁)

(21) 出願番号 特願平6-155013

(22) 出願日 平成6年(1994)7月6日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 船井 尚

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 山本 秀策

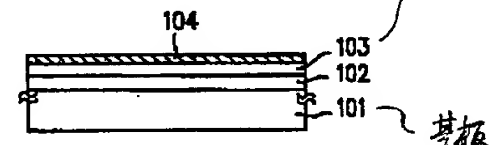
(54) 【発明の名称】 結晶性ケイ素膜、並びに半導体装置およびその製造方法

(57) 【要約】

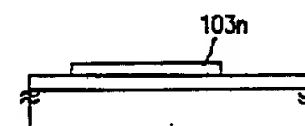
【目的】 基板全面にわたって均一で良好な結晶性を有する結晶性ケイ素膜、さらには、その結晶性ケイ素膜を利用して、均一性・安定性に優れた高性能素子を有する半導体装置およびその製造方法を提供する。

【構成】 基板 1 0 1 上に、結晶化を助長する触媒元素の導入された非晶質ケイ素膜 1 0 3 を形成する。この非晶質ケイ素膜 1 0 3 を加熱処理し、結晶核の発生が生じる期間の一部または全部において結晶核を発生させ、その後、結晶核の発生を防止した状態で結晶成長させる。更に、前記結晶成長により得られた結晶性ケイ素膜 1 0 3 に、レーザー光または強光を照射し、該結晶性ケイ素膜 1 0 3 の結晶性を助長させる。

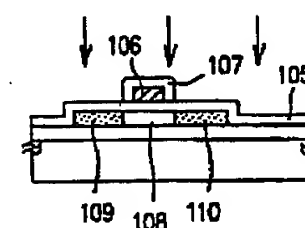
(A)



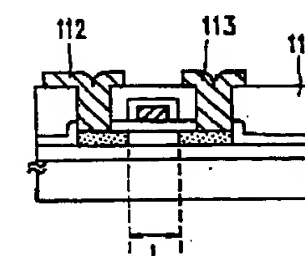
(B)



(C)



(D)



## 【特許請求の範囲】

【請求項 1】 非晶質ケイ素膜を加熱処理により結晶化させる際、結晶核の発生が生じる期間の一部または全部において結晶核を発生させ、その後、結晶核の発生を防止した状態で結晶成長させることにより得られてなる結晶性ケイ素膜。

【請求項 2】 前記非晶質ケイ素膜に、結晶化を助長する触媒元素の導入され、この非晶質ケイ素膜を用いて得られた請求項 1 に記載の結晶性ケイ素膜。

【請求項 3】 前記結晶核を、それぞれの隣接する結晶核間でほぼ一定の距離をおいて発生させ、その後結晶成長させることにより得られてなる請求項 1 または 2 に記載の結晶性ケイ素膜。

【請求項 4】 結晶粒径の大きさのばらつきが $\pm 20\%$ 以下である請求項 1 乃至 3 のいずれかに記載の結晶性ケイ素膜。

【請求項 5】 前記非晶質ケイ素膜を結晶化させる加熱温度を $580^{\circ}\text{C}$ 以下として得られた請求項 1 乃至 4 のいずれかに記載の結晶性ケイ素膜。

【請求項 6】 結晶性を有するケイ素膜を利用して活性領域が絶縁表面を有する基板上に構成された半導体装置であって、該活性領域が、請求項 1 乃至 4 のいずれかに記載の結晶性ケイ素膜により構成された半導体装置。

【請求項 7】 絶縁表面を有する基板上に結晶性を有するケイ素膜を利用してチャネル領域が構成された薄膜トランジスタを複数個有する半導体装置であって、該チャネル領域内のチャネル方向を横切る結晶粒界の個数が、それぞれの薄膜トランジスタ間で $\pm 20\%$ 以内のばらつきである半導体装置。

【請求項 8】 絶縁表面を有する基板上に結晶性を有するケイ素膜を利用してチャネル領域が構成された薄膜トランジスタを複数個有する半導体装置であって、該チャネル領域内のチャネル方向を横切る結晶粒界の個数が、それぞれの薄膜トランジスタ間で $\pm 1$ 個以内のばらつきである半導体装置。

【請求項 9】 絶縁表面を有する基板上に結晶性を有するケイ素膜を利用してチャネル領域が構成された薄膜トランジスタを複数個有する半導体装置であって、該チャネル領域内のチャネル方向を横切る結晶粒界の個数が、該基板上に形成された全薄膜トランジスタの $70\%$ 以上において同数である半導体装置。

【請求項 10】 基板上に、結晶化を助長する触媒元素の導入された非晶質ケイ素膜を形成する工程と、該非晶質ケイ素膜を加熱処理し、結晶核の発生が生じる期間の一部または全部において結晶核を発生させ、その後、結晶核の発生を防止した状態で結晶成長させる工程とを含む半導体装置の製造方法。

【請求項 11】 前記結晶成長により得られた結晶性ケイ素膜に、レーザー光または強光を照射し、該結晶性ケ

イ素膜の結晶性を助長する工程を更に含む請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、Sb、Al から選ばれた一種または複数種類の元素を用いる請求項 10 または 11 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、例えばガラス等の絶縁基板上に薄膜トランジスタが形成されたアクティブマトリクス型の液晶表示装置やイメージセンサーなどに利用され、非晶質ケイ素膜を結晶化した結晶性ケイ素膜、並びに、この結晶性ケイ素膜を備えた半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】上記アクティブマトリクス型液晶表示装置やイメージセンサー等において使用される半導体装置としては、ガラス等の絶縁基板上に薄膜トランジスタ(TFT)が形成され、このTFTにより画素を駆動する構成のものが知られている。

【0003】上記TFTには、薄肉のケイ素半導体膜を用いるのが一般的である。そのケイ素半導体膜としては、非晶質ケイ素(a-Si)半導体からなるものと、結晶性を有するケイ素半導体からなるものとの2つに大別される。前者の非晶質ケイ素半導体は、作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電性等の物性が結晶性を有するケイ素半導体に比べて劣る。このため、今後、より高速特性を得るためには、後者の結晶性を有するケイ素半導体からなるTFTの作製方法の確立が強く求められていた。

【0004】ところで、結晶性を有するケイ素半導体としては、多結晶ケイ素、微結晶ケイ素、結晶成分を含む非晶質ケイ素、結晶性と非晶質性の中間の状態を有するセミアモルファスケイ素等を使用したものが知られており、そのケイ素半導体を得る方法としては以下のものが知られている。

【0005】(1) 成膜時に結晶性を有する膜を直接成膜する方法(第1の方法)

(2) 非晶質の半導体膜を成膜しておき、レーザー光のエネルギーにより結晶性を有せしめる方法(第2の方法)

(3) 非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性を有せしめる方法(第3の方法)

しかしながら、第1の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素を得るにはケイ素膜の厚膜化が不可欠であり、良好な半導体物性を有する膜を基板上に全面に渡って均一に成膜することが技

術上困難である。また、成膜温度が600℃以上と高いので、安価なガラス基板が使用できずコストが上昇するという問題があった。

【0006】また、第2の方法では、熔融固化過程の結晶化現象を利用するため、小粒径ながら粒界を良好な状態に処理でき、高品質な結晶性ケイ素膜を得ることができる。しかし、現在最も一般的に使用されているエキシマレーザーを例にとると、レーザー光の照射面積が小さいためスループットが低いという問題がまず有り、また大面積基板の全面を均一に処理するにはレーザーの安定性10が充分ではなく、次世代の技術という感が強い。

【0007】第3の方法は、第1、第2の方法と比較すると大面積に対応できるという利点はあるが、結晶化に際して600℃以上の高温にて数十時間にわたる加熱処理が必要である。すなわち、安価なガラス基板の使用とスループットの向上を考えると、加熱温度を下げ、さらに短時間で結晶化させるという相反する問題点を同時に解決する必要がある。また、この方法では、固相結晶化現象を利用するため、成長した結晶粒同士がぶつかり合10って結晶粒界が形成され、その粒界はキャリアに対するトラップ準位として働く。したがって、その結晶粒径が小さい場合には、TF Tの移動度を低下させ、さらに特性をばらつかせる大きな原因となっている。

【0008】そこで、結晶粒界を大粒径化させる特開平4-245482の方法（第4の方法）および特開平5-243575の方法（第5の方法）が提案されている。具体的には、第4の方法では、結晶性ケイ素膜の平均粒径を、その結晶性ケイ素膜の膜厚の1/2倍～4倍となるようにすることにより、高移動度TF Tを得ている。一方、第5の方法では、TF Tのチャンネル領域を多30結晶ケイ素膜にて形成すると共に、その多結晶ケイ素膜の結晶粒径を、TF Tのチャンネル長の1/5以上、且つTF Tのチャンネル幅の1/3以上の大きさにすることにより、高移動度、低リーク電流のTF Tを得ている。

【0009】また、結晶粒界によるTF T特性のばらつきを低減する方法としては、特開平3-291972で提案されている方法（第6の方法）が最も一般的である。この方法は、TF Tのチャンネル領域を0.5～5μmの結晶粒径を持つ多結晶ケイ素膜により構成すると共に、チャンネル幅より結晶粒径を小さくし、すべてのTF 40Tのチャンネル部に結晶粒界を存在させることにより、TF T素子のばらつきを小さくする方法である。

【0010】また、結晶粒界のTF Tに及ぼす影響を抑制すべく、結晶粒界を人為的に制御する第7の方法が提案されている（特開平5-136048）。この方法では、非晶質ケイ素膜の上に注入窓を有するマスク等を形成し、その注入窓を通して結晶成長の核となる異物を選択的に非晶質ケイ素膜中に導入し、加熱することにより、注入窓を中心として成長させた単一の結晶粒を得、さらにその単一の結晶粒の上にTF T素子を形成する方50

法である。これにより、結晶粒界の影響を受けない半導体装置が作製されることとなる。なお、上記異物としては、粒径10～100nmのSi粒子を用い、このSi粒子を高圧の窒素ガスとともに非晶質ケイ素膜に吹きつけて成長核を形成している。

#### 【0011】

【発明が解決しようとする課題】ところで、上述したアクティブマトリクス基板やイメージセンサーなどでは、大面積基板の全面にわたって均一な特性を有する高性能TF Tが求められ、そのためには、基板全面にわたって均一で良好な結晶性を有する半導体薄膜を簡便なプロセスで形成する技術が不可欠である。

【0012】しかしながら、上述の従来方法では、このような半導体薄膜を得ることは困難であった。以下にその理由を具体的に説明する。

【0013】現状では、大面積基板対応を考えると、得られた結晶性が基板内である程度安定している上記第3の方法である固相結晶化法を用いるのが最も好ましい。しかし、上述のように結晶粒界の問題がいまなお残っており、上記半導体薄膜を得ることに用いるのは好ましくない。また、第4の方法や第5の方法では、大粒径の結晶性ケイ素膜を用いるためTF Tの特性は向上するが、逆にTF Tのチャンネル内の存在する粒界数が低減するために粒界数の違いによるTF T素子のばらつきが非常に顕著になる。また、第6の方法では、結晶粒径を小さくし、それぞれの素子が均等に粒界の影響を受けることで特性の均一化を図るものであるが、そこで記載されている結晶性ケイ素膜は実際には5μm以下の様々な大きさの結晶粒が混在した結晶性ケイ素膜であり、それぞれの素子内の粒界数は大きくばらつき、素子の均一性は改善されない。

【0014】加えて、上記第4、第5および第6の方法の場合には、次の問題がある。その大きな原因は、固相結晶化現象そのものにある。すなわち、上記各方法にあっては、それらに記載されている実施例で述べられているように、減圧化学気相成長（LPCVD）法によって成膜された非晶質ケイ素膜を600℃程度で長時間の加熱処理をし、固相状態で結晶化する手法を用いている。この手法は、ごく一般的な結晶性ケイ素膜の作製方法である。このような固相結晶化法では、加熱処理の直後から結晶核の発生は起こらず、一定の潜伏期間、例えば600℃で4時間程度を経て結晶核の発生が始まる。その後、一定の核発生速度で、結晶核の発生が継続する。したがって、先に発生した核は大きく成長するが、後で発生した核は先に形成された結晶粒とぶつかって成長できず、小さな結晶粒となって残る。よって、結果として得られる結晶性ケイ素膜の結晶粒径は、大きなばらつきをもって分布し、0～5μmの間の大きさの結晶粒が混在した膜となってしまう。

【0015】以上述べたような理由から、上述した固相

結晶化法を用いる第4、第5および第6の方法で得られる結晶性ケイ素膜でTFTを作製した場合、結晶粒界の数のばらつきによるTFT素子のばらつきを防ぐことは不可能であると考えられる。

【0016】また、第7の方法では、注入窓を通して選択的にSi粒子を非晶質ケイ素膜中に導入して結晶成長の核を形成するが、その注入窓の内部での結晶核の発生は一つではなく、多数の結晶核が発生し、そこから結晶成長が起こる。したがって、実際には、特開平5-136048に記載されているようなSi粒子の注入窓を中心とした単一の結晶粒はできず、注入窓内に発生した多数の核により結晶粒界が形成される。よって、この提案方法では実際に結晶粒界を制御することは不可能であり、その上に作製されるTFTは結晶粒界の影響を受け、安定した特性のものを得るのは難しい。さらに、結晶核となるSi粒子を選択導入する際に注入マスクが必要であることから、本来の半導体装置の製造プロセスには直接関係のない余分な工程が増えることになる。よって、生産性の面でのデメリットが大きく、結果として製品の高コスト化につながる。

【0017】さらに、以上述べた第4、第5、第6および第7の方法のどれにおいても、結晶化のための加熱処理工程における問題は解決できない。これらの方法による場合には、温度600℃で数十時間以上の加熱処理が必要である。ゆえに、SOI基板やSOS基板には有効な技術であるが、安価なガラス基板に結晶性ケイ素膜を作製しTFT素子を形成することは困難である。例えば、アクティブマトリクス型の液晶表示装置に用いられるコーニング7059ガラスはガラス歪点が593℃であり、基板の面積化を考慮した場合、600℃以上の加熱には問題がある。

【0018】以上述べたように、従来の各方法による場合には、基板全面にわたって均一で良好な結晶性を有する半導体薄膜を形成することが不可能であった。それ故に、液晶表示装置のアクティブマトリクス基板のように一つの基板上に数十万個も形成されるTFTを、高性能に、しかも均一性かつ生産性よく作製することは、上記の各方法では困難であった。

【0019】加えて、半導体装置の低コスト化、面積化の要望にしたがい、400mm角以上のガラス基板に対応できるほど均一性に優れた良好な結晶性を有する半導体薄膜、そして均一性、安定性に優れた半導体装置およびその製造方法が要求されている。

【0020】本発明は、このような従来技術の課題を解決すべくなされたものであり、600℃以下の熱処理により作製が可能であり、しかも面積基板に対応可能とすべく基板全面にわたり均一な結晶性を有する状態にできる半導体薄膜、およびそのような半導体薄膜を備えた半導体装置を提供することを目的とする。また、本発明の他の目的は、そのような半導体装置を生産性よく製造

する方法を提供することである。

#### 【0021】

【課題を解決するための手段】本発明の結晶性ケイ素膜は、非晶質ケイ素膜を加熱処理により結晶化させる際、結晶核の発生が生じる期間の一部または全部において結晶核を発生させ、その後、結晶核の発生を防止した状態で結晶成長させることにより得られてなるので、そのことにより上記目的が達成される。

【0022】本発明の結晶性ケイ素膜において、前記非晶質ケイ素膜に、結晶化を助長する触媒元素の導入され、この非晶質ケイ素膜を用いて得られた構成とすることができる。

【0023】本発明の結晶性ケイ素膜において、前記結晶核を、それぞれの隣接する結晶核間でほぼ一定の距離において発生させ、その後結晶成長させることにより得られてなる構成とすることができる。

【0024】本発明の結晶性ケイ素膜において、結晶粒径の大きさのばらつきが±20%以下である構成とすることができる。

【0025】本発明の結晶性ケイ素膜において、前記非晶質ケイ素膜を結晶化させる加熱温度を580℃以下として得られた構成とすることができる。

【0026】本発明の半導体装置は、結晶性を有するケイ素膜を利用して活性領域が絶縁表面を有する基板上に構成された半導体装置であって、該活性領域が、請求項1乃至4のいずれかに記載の結晶性ケイ素膜により構成されているので、そのことにより上記目的が達成される。

【0027】本発明の半導体装置は、絶縁表面を有する基板上に結晶性を有するケイ素膜を利用してチャネル領域が構成された薄膜トランジスタを複数個有する半導体装置であって、該チャネル領域内のチャネル方向を横切る結晶粒界の個数が、それぞれの薄膜トランジスタ間で±20%以内のばらつきであるので、そのことにより上記目的が達成される。

【0028】本発明の半導体装置は、絶縁表面を有する基板上に結晶性を有するケイ素膜を利用してチャネル領域が構成された薄膜トランジスタを複数個有する半導体装置であって、該チャネル領域内のチャネル方向を横切る結晶粒界の個数が、それぞれの薄膜トランジスタ間で±1個以内のばらつきであるので、そのことにより上記目的が達成される。

【0029】本発明の半導体装置は、絶縁表面を有する基板上に結晶性を有するケイ素膜を利用してチャネル領域が構成された薄膜トランジスタを複数個有する半導体装置であって、該チャネル領域内のチャネル方向を横切る結晶粒界の個数が、該基板上に形成された全薄膜トランジスタの70%以上において同数であるので、そのことにより上記目的が達成される。

【0030】本発明の半導体装置の製造方法は、基板上



に、結晶化を助長する触媒元素の導入された非晶質ケイ素膜を形成する工程と、該非晶質ケイ素膜を加熱処理し、結晶核の発生が生じる期間の一部または全部において結晶核を発生させ、その後、結晶核の発生を防止した状態で結晶成長させる工程とを含むので、そのことにより上記目的が達成される。

【0031】本発明の半導体装置の製造方法において、前記結晶成長により得られた結晶性ケイ素膜に、レーザー光または強光を照射し、該結晶性ケイ素膜の結晶性を助長する工程を更に含むようにしてもよい。

【0032】本発明の半導体装置の製造方法において、前記触媒元素として、Ni、Co、Pd、Pt、Cu、Ag、Au、In、Sn、P、As、Sb、Alから選ばれた一種または複数種類の元素を用いるようにしてもよい。

【0033】

【作用】本願発明者らは、非晶質ケイ素膜に、結晶化を助長する触媒元素を導入して結晶化させることにより、以下の知見を得た。即ち、

①非晶質ケイ素膜を加熱処理により結晶化させる際、加熱処理の初期であって、結晶核の発生がある期間においてのみ、結晶核の発生が集中的に発生すること

②その後、結晶成長させた結晶性ケイ素膜において、あるいは非晶質ケイ素膜を結晶化させる過程において、結晶核の発生が、それぞれの隣接する結晶核間で、ほぼ一定の距離をおいて行われること

③得られた結晶性ケイ素膜を用いることにより、従来の固相結晶化法で作製される結晶性ケイ素膜に比べ、結晶の均一性が飛躍的に向上して結晶粒径がほぼ一定の大きさに揃った高品質な結晶性ケイ素膜が得られること。

【0034】図4に非晶質ケイ素膜を加熱処理（アニール）により結晶化する場合の核発生速度（縦軸）とアニール時間（横軸）との関係を示す。図中の破線402は従来の固相結晶化法を用いた場合の関係を示しており、図中の実線401は本発明による場合の関係を表している。

【0035】この図より理解されるように、破線402に示す従来の固相結晶化法を用いた場合には、核発生速度0の潜伏期間を経て核発生が始まり、その後、結晶化が終了するまで一定の速度で核発生が継続する。これに対して、実線401に示す本発明により半導体薄膜を形成する場合には、結晶成長初期のある期間においてのみ集中的に核発生が起こること、一時的に非常に大きな核発生速度を示すが、その後、結晶核の発生は停止し、核発生速度はほぼ0となる。この時点で結晶化は終了しておらず、さらにそれらの核を中心として結晶成長が継続する。

【0036】図5は、作製される結晶性ケイ素膜における結晶粒径の分布を、横軸に結晶粒径、縦軸に頻度をとって示している。図中の破線502は従来の固相結晶化

法を用いた場合の分布を示しており、図中の実線501は本発明による場合の分布を表している。

【0037】この図5より理解されるように、破線502にて示す従来の固相結晶化法で得られる結晶性ケイ素膜では、その結晶粒径が0から数 $\mu\text{m}$ の間で大きな広がりをもって分布する。これに対して、実線501にて示す本発明の結晶性ケイ素膜では、ある大きさにほぼ揃って結晶粒径が分布する。以上のことより、結晶粒径の大きさは、集中的に核発生が起こる際の核発生密度に依存することがわかる。

【0038】したがって、結晶核の発生が起こる初期のある期間においてのみ結晶核の発生を集中的に発生させ、その後結晶成長させることにより、結晶粒径がほぼ揃っている結晶性ケイ素膜を得ることが可能となる。また、基板上に複数形成される半導体素子にその結晶性ケイ素膜を用いるようにすることにより、均一性および安定性の非常に優れた半導体装置が得られることになる。

【0039】図6は、非晶質ケイ素膜が結晶成長する過程の結晶核発生におけるそれぞれの隣接する結晶核間の距離の分布を、横軸に結晶核の隣接間距離、縦軸に頻度をとって示している。図中の破線602は従来の固相結晶化法を用いた場合の分布を示しており、図中の実線601は本発明による場合の分布を表している。

【0040】この図より理解されるように、破線602に示す従来の固相結晶化法により結晶化する場合には、全くランダムに結晶核の発生が起こり、隣接して発生する結晶核間の距離は、大きな広がりをもって分布する。これに対し、実線601に示す本発明による場合には、隣接して発生する結晶核間の距離はほぼ一定の大きさにまとまっている。

【0041】以上のことより、結晶成長の過程において、それぞれ成長した結晶粒同士がぶつかり合って結晶粒径が決定され、結晶成長が終了するものと考えられる。また、隣接する結晶核間の距離は大きな意味を持っており、その値が大きくばらつくことと結果として結晶粒径も大きくばらつくこととなる。

【0042】したがって、非晶質ケイ素膜を結晶成長させる過程における結晶核の発生を、それぞれの隣接する結晶核間でほぼ一定の距離をおいて行わせて結晶性ケイ素膜を得る。そして、この結晶性ケイ素膜を用いることで、基板上に複数の半導体素子を有する半導体装置としては、非常に均一性、安定性に優れた半導体装置が得られる。

【0043】また、本発明の結晶性ケイ素膜を使用することにより、条件のシビアな液晶表示装置のアクティブマトリクス基板にも適応できるものとなる。以下にその理由を説明する。

【0044】基板上に複数個の半導体素子を有する半導体装置の中でも、液晶表示装置のアクティブマトリクス基板は、一基板上に数十万個以上の素子を有し、それぞ

れの半導体素子の特性がばらつくとなつてそれが表示むらとなつて表面に現れるため、非常に素子の均一性が要求される。換言すると、アクティブマトリクス基板に要求される均一性を満たすことで、他の半導体装置においても、それらに要求される基準以上の良好な均一性が得られる。現在、一般的に液晶表示装置のアクティブマトリクス基板で要求されている半導体素子の特性の均一性は、その電界効果移動度、S値で $\pm 20\%$ 以内であり、それ以上の値で素子の特性がばらつくとなつて、画面を見ている人の目には表示むらとなつて現れることが判明している。したがって、現在、液晶表示装置のアクティブマトリクス基板では、主に特性のばらつきの少ない $a-Si$  TFTが一般に用いられている。その理由は、従来の結晶性ケイ素膜を用いた場合には、単体TFTとしては素子の性能が向上するが、結晶粒界の大きなばらつきのため素子の特性がばらつき、上記の条件を満たすことはできないからである。

【0045】しかし、本発明の結晶性ケイ素膜の中でも特に、結晶性ケイ素膜における結晶粒径の大きさのばらつきが $\pm 20\%$ 以内のものである場合には、上記のようなアクティブマトリクス基板に要求される厳しい基準をクリアできることがわかった。さらに、この半導体薄膜を用いることで周辺駆動回路も同一基板上に形成でき、装置の高性能化、コンパクト化、低コスト化が同時に行える。

【0046】また、本発明は、非晶質ケイ素膜の結晶化への加熱温度を $580^{\circ}\text{C}$ 以下とすることができ、安価なガラス基板上に良好な結晶性ケイ素膜を作製することができるものとなる。その理由は、コーニング7059ガラスのガラス歪点 $593^{\circ}\text{C}$ より小さく、またガラスの収縮を考慮した場合でも、それより $20^{\circ}\text{C}$ 程低い温度であるからである。

【0047】本発明では、基板上に結晶性を有するケイ素膜を利用してチャンネル領域が構成されたTFTを複数個有する半導体装置において、TFTのチャンネル長 $L$ と平均の結晶粒径 $R$ との関係が $L > 5R$ のときには、チャンネル領域内のチャンネル方向を横切る結晶粒界の個数のばらつきを、それぞれのTFT間で $\pm 20\%$ 以内とする。これにより、TFTサイズと結晶粒径との関係によつて、それぞれのTFTに含まれる結晶粒界の個数が変わっても、TFT特性はそのチャンネル領域においてチャンネル方向（キャリアの移動方向）を横切る結晶粒界の個数で大きく左右されることがなくなる。故に、上記のアクティブマトリクス基板に要求される均一性を達成でき、均一性の面で優れた半導体装置が得られる。

【0048】更に、TFTのチャンネル長 $L$ と平均の結晶粒径 $R$ との関係が $L < 5R$ のときには、チャンネル領域内のチャンネル方向を横切る結晶粒界の個数のばらつきを、それぞれのTFT間で $\pm 1$ 個以内とする。これにより、上記のアクティブマトリクス基板に要求される均一性を

達成でき、均一性の面で優れた高性能な半導体装置が得られる。

【0049】さらに、TFTのチャンネル長 $L$ と平均の結晶粒径 $R$ との関係が $L \leq R$ のときには、チャンネル領域内のチャンネル方向を横切る結晶粒界の個数が、基板内の $70\%$ 以上のTFTにおいて同数とする。これにより、上記のアクティブマトリクス基板に要求される均一性を達成でき、非常に高性能で均一性の面でも優れた半導体装置が得られる。従来より知られている結晶性ケイ素膜では、上記のような条件で基板上に複数個のTFTを有する半導体装置を設けることは不可能であつたが、本発明の結晶性ケイ素膜を利用して初めて可能となった。

【0050】また、上述したように本発明の結晶性ケイ素膜を作製する方法は、非晶質ケイ素膜にその結晶化を助長する触媒元素を導入し、加熱によって結晶化させる方法であり、最も効率的かつ簡便な方法である。この方法において、本願発明者らの研究によれば、非晶質ケイ素膜の表面にニッケルやパラジウム等の金属元素を微量に導入させ、しかる後に加熱することにより、 $550^{\circ}\text{C}$ 、4時間程度の処理時間で結晶化を行えることが判明している。このメカニズムは、まず金属元素を核とした結晶核発生が早期に起こり、その後その金属元素が触媒となって結晶成長を助長し、結晶化が急激に進行することで理解される。そういった意味で、本願明細書において、これらの金属元素を触媒元素と呼ぶ。

【0051】このような触媒元素により結晶化が助長されて結晶成長した結晶性ケイ素膜の結晶粒内は、通常の固相成長法により一つの結晶核から成長させた結晶粒が双晶構造であるのに対して、何本もの針状結晶あるいは柱状結晶が入り込んだ構成となっており、それぞれの針状結晶あるいは柱状結晶内部は理想的な単結晶状態となっている。この場合における結晶核の発生密度は、導入される触媒元素の量で決まっており、結晶核がある一定の期間においてのみ集中的に発生することから、触媒元素の量を変えることで結晶粒径の大きさを調製できる。また、そのとき発生する結晶核の隣接間距離は、ほぼ一定寸法に揃っている。この理由は、核発生の前段階として $a-Si$ 膜中を触媒元素が拡散し、ある程度の集団（クラスター）となつて初めて核となるのではないかと考えられる。さらに、その後、レーザー光あるいは強光を照射することで、その結晶粒内の結晶性がさらに助長され、結晶粒界部も処理されて、基板全面にわたつて良好な結晶性を示す結晶性ケイ素膜が得られる。

【0052】また、結晶粒径の大きさを調製し、結晶核の隣接間距離をほぼ一定寸法に揃えるには、触媒元素の導入量の調整だけでなく、結晶核の発生量を調整することによつても可能である。例えば、図4に示したアニール時間と核発生速度との関係を示す実線401に基づき、結晶核が集中的に発生する一定時間Tの一部において、つまり途中までの時間において、結晶核を発生さ

せ、その後、結晶核の発生を防止した状態で結晶成長させる方法を採用できる。この方法においては、結晶核を発生させる時間 ( $< T$ ) を調整すれば、結晶核の発生量や結晶核の一定な隣接間距離を調節できる。また、その後、結晶成長させるので、結晶粒径も調節できる。なお、上述した触媒元素の導入量により結晶核の発生量や結晶核の一定な隣接間距離、更には結晶粒径の調整を行うのは、上記一定時間  $T$  の全部が経過した後である。但し、この触媒元素の導入量による調整は、上述した一定時間  $T$  の途中までで結晶核の発生を終了させる方法にも適用させてもよい。

【0053】更には、触媒元素を導入しない、図4の破線402の關係に基づき、結晶核が発生する時間の一部または全部において結晶核を発生させ、その後、結晶核の発生を防止した状態で結晶成長させる方法も採用できる。なお、結晶成長させる際に、結晶核の発生を防止するのは、余分な結晶核の発生により結晶粒径の大きさの調整を行えなくなるのを防ぐためである。このような状態で結晶成長させる手法については、結晶核が発生しない温度まで加熱温度を下げて結晶成長させることなどが該当する。

【0054】このような核発生や結晶成長を行うことにより、上述した  $L > 5R$ 、 $L < 5R$  または  $L \leq R$  の場合に必要とされるような結晶粒界の個数の調整が可能となる。

【0055】本発明においては、触媒元素として  $Ni$  を用いた場合に最も顕著な効果を得ることができるが、その他利用できる触媒元素の種類としては、 $Co$ 、 $Pd$ 、 $Pt$ 、 $Cu$ 、 $Ag$ 、 $Au$ 、 $In$ 、 $Sn$ 、 $P$ 、 $As$ 、 $Sb$  を利用することができる。これらから選ばれた一種または複数種類の元素であれば、微量 (膜中濃度  $1 \times 10^{16} \text{ cm}^{-2}$  以上) で結晶化助長の効果があるため、TFTなどの半導体素子への影響は問題はない。

【0056】さらに、本願発明者らは、液晶表示装置のアクティブマトリクス基板やイメージセンサー、三次元ICなどの半導体装置を構成する半導体薄膜に、本発明を適用することで、TFTなどの素子の特性の均一性が大きく向上でき、さらに高性能な半導体装置が得られることを確認した。

#### 【0057】

【実施例】以下に本発明の実施例を具体的に説明する。

【0058】〔第1実施例〕本発明の第1実施例について説明する。本実施例では、ガラス基板上にN型TFTを作製する際の工程において、本発明を利用した場合についてである。

【0059】図1は、本実施例におけるTFTの作製工程の概要を示す断面図である。この作製工程においては、(A) → (D) の順にしたがって順次進行する。

【0060】まず、図1 (A) に示すように、ガラス基板101上に、例えばスパッタリング法によって厚さ2

00 nm程度の酸化ケイ素からなる下地膜102を形成する。この下地膜102は、ガラス基板101からの不純物の拡散を防ぐために設けられる。

【0061】次に、減圧CVD法あるいはプラズマCVD法によって、厚さ25~100 nm、例えば80 nmの真性 (I型) の非晶質ケイ素膜 ( $a-Si$  膜) 103を成膜する。

【0062】次に、真空蒸着法によって、ニッケルの極薄膜104を成膜する。この際のニッケルの基板上の面密度は、 $1 \times 10^{11} \sim 1 \times 10^{14} \text{ atoms/cm}^2$ 、例えば  $1 \times 10^{13} \text{ atoms/cm}^2$  となるようにした。そして、これを水素還元雰囲気下または不活性雰囲気下、加熱温度520~580℃で数時間から数十時間、例えば550℃で4時間アニールして結晶化させる。この際、表面に蒸着されたニッケルの極薄膜104中のニッケルが核となり、加熱直後から15分の間までで結晶核発生が終了する。このとき (加熱15分後) の核発生密度は  $6 \sim 8 \times 10^7 \text{ 個/cm}^2$  であり、それぞれの結晶核の隣接間距離は1~1.5  $\mu\text{m}$  であった。その後の加熱処理では新たに結晶核は発生せず、加熱処理後15分間の間に起こった核発生のみで結晶成長が行われる。結果として得られる結晶粒径は1~1.5  $\mu\text{m}$  で、このときの結晶粒径のばらつきは±15%以内であった。

【0063】次に、図1 (B) に示すように、不要な部分の結晶性ケイ素膜103を除去して素子間分離を行い、後にTFTの活性領域 (ソース/ドレイン領域、チャネル領域) となる島状の結晶性ケイ素膜103nを形成する。

【0064】次に、図1 (C) に示すように、上記結晶性ケイ素膜103nを覆うようにして、厚さ20~150 nm、ここでは100 nmの酸化ケイ素膜をゲート絶縁膜105として成膜する。酸化ケイ素膜の形成には、ここではTEOSを原料とし、酸素とともに基板温度150~600℃、好ましくは300~450℃で、RFプラズマCVD法で分解・堆積した。あるいは、TEOSを原料としてオゾンガスとともに減圧CVD法もしくは常圧CVD法によって、基板温度を350~600℃、好ましくは400~550℃として形成してもよい。

【0065】次に、成膜後、ゲート絶縁膜自身のバルク特性および結晶性ケイ素膜/ゲート絶縁膜の界面特性を向上するために、不活性ガス雰囲気下で400~600℃で30~60分アニールを行った。

【0066】次に、スパッタリング法によって、厚さ400~800 nm、例えば600 nmのアルミニウムを成膜する。そして、アルミニウム膜をパターンニングして、ゲート電極106を形成する。

【0067】次に、このアルミニウムの電極の表面を陽極酸化して、表面に酸化物層107を形成する。陽極酸



化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行い、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させる。得られた酸化物層107の厚さは200nmである。なお、この酸化物層107は、後のイオンドーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。

【0068】次に、イオンドーピング法によって、ゲート電極106とその周囲の酸化物層107をマスクとして活性領域に不純物（リン）を注入する。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）を用い、加速電圧を60～90kV、例えば80kV、ドーズ量を $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、不純物が注入された領域109と110は後にTFTのソース／ドレイン領域となり、ゲート電極106およびその周囲の酸化層107にマスクされ不純物が注入されない領域108は、後にTFTのチャネル領域となる。このときのチャネル長 $L$ が10 $\mu\text{m}$ となるように設計すると、チャネル領域内でチャネル方向を横切る結晶粒界数は7～10となり、それぞれのTFT間で±20%以内のばらつき内に収まる。

【0069】次に、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしてはXeClエキシマレーザー（波長308nm、パルス幅40ns）を用い、エネルギー密度150～400mJ/cm<sup>2</sup>、好ましくは200～250mJ/cm<sup>2</sup>で照射を行った。こうして形成されたN型不純物（リン）領域109、110のシート抵抗は、200～800 $\Omega/\square$ であった。

【0070】次に、図1（D）に示すように、厚さ600nm程度の酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜111として形成する。酸化ケイ素膜を用いる場合には、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。また、 $\text{SiH}_4$ と $\text{NH}_3$ を原料ガスとしてプラズマCVD法で成膜された窒化ケイ素膜を用いれば、活性領域／ゲート絶縁膜の界面へ水素原子を供給し、TFT特性を劣化させる不対結合手を低減する効果がある。

【0071】次に、層間絶縁膜111にコンタクトホールを形成して、金属材料、例えば窒化チタン膜とアルミニウム膜との多層膜によってTFTの電極・配線112、113を形成する。

【0072】最後に、1気圧の水素雰囲気中で350℃、30分のアニールを行い、TFTを完成させる。

【0073】本TFTを、画素電極のスイッチング素子

として用いる場合には、電極・配線112または113をITOなど透明導電膜からなる画素電極に接続し、もう一方の電極より信号を入力する。また、本TFTを薄膜集積回路に用いる場合には、ゲート電極106上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0074】以上の実施例にしたがって実際に作製したNTFTは、電界効果移動度は50～70cm<sup>2</sup>/Vs、S値は0.8～1.0V/桁、閾値電圧2～3Vという良好な特性を示した。基板内におけるTFT特性のばらつきは、電界効果移動度で±12%、閾値電圧で±8%以内であった。

【0075】本実施例のTFTはアクティブマトリクス型の液晶表示装置のドライバー回路や画素部分は勿論、同一基板上にCPUを構成する素子としても用いることができる。なお、TFTの応用範囲としては、液晶表示装置のみではなく、一般に言われる薄膜集積回路に利用できることは言うまでもない。このことは、以下の各実施例においても同様である。

【0076】〔第2実施例〕本発明の第2実施例について説明する。本実施例では、ガラス基板上にP型TFTを作製する際の工程において、本発明を利用した場合である。

【0077】図2は、本実施例にかかるTFTの作製工程を示す断面図である。この作製工程は、（A）→（D）の順にしたがって順次進行する。

【0078】まず、図2（A）に示すように、ガラス基板201上に、例えばスパッタリング法により厚さ200nm程度の酸化ケイ素からなる下地膜202を形成する。

【0079】次に、プラズマCVD法によって、厚さ25～100nm、例えば50nmの真性（I型）の非晶質ケイ素膜（a-Si膜）203を成膜する。

【0080】次に、例えば酢酸ニッケルあるいは硝酸ニッケル等のニッケル塩の水溶液204を基板全面に塗布し、その後スピンナーにて均一に乾燥させる。この際の水溶液中のニッケル濃度は5～100ppmが適当で、ここでは25ppmとした。そして、これを水素還元雰囲気下または不活性雰囲気下、加熱温度520～580℃で数時間から数十時間、例えば550℃で4時間アニールして結晶化させる。この際、表面に析出したニッケルイオンが核となり、加熱直後から15分の間までで結晶核発生が終了する。このとき（加熱15分後）の核発生密度は $8 \times 10^6 \sim 2 \times 10^7$ 個/cm<sup>2</sup>であり、それぞれの結晶核の隣接間距離は2～3 $\mu\text{m}$ であった。その後の加熱処理では新たに結晶核は発生せず、加熱処理後15分間の間に起こった核発生のみで結晶成長が行われる。結果として得られる結晶粒径は2～3 $\mu\text{m}$ で、このときの結晶粒径のばらつきは±15%以内であった。

【0081】次に、図2（B）に示すように、不要な部

分の結晶性ケイ素膜 203 を除去して素子間分離を行い、後に TFT の活性領域（ソース／ドレイン領域、チャネル領域）となる島状の結晶性ケイ素膜 203p を形成する。

【0082】次に、上記の活性領域となる結晶性ケイ素膜を覆うように厚さ 20～150 nm、ここでは 100 nm の酸化ケイ素膜をゲート絶縁膜 205 として成膜する。本実施例では、ゲート絶縁膜 205 の成膜方法としてスパッタリング法を用いた。スパッタリングには、ターゲットとして酸化ケイ素を用い、スパッタリング時の基板温度は 200～400℃、例えば 350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン／酸素＝0～0.5、例えば 0.1 以下とした。

【0083】次に、図 2 (C) に示すように、スパッタリング法によって、厚さ 400 nm のアルミニウムを成膜し、そのアルミニウム膜をパターニングしてゲート電極 206 を形成した。

【0084】次に、イオンドーピング法によって、ゲート電極 206 をマスクとして活性領域に不純物（ホウ素）を注入する。ドーピングガスとして、ジボラン（ $B_2H_6$ ）を用い、加速電圧を 40 kV～80 kV、例えば 65 kV とし、ドーズ量は  $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば  $5 \times 10^{15} \text{ cm}^{-2}$  とする。この工程により、不純物が注入された領域 209 と 210 は、後に TFT のソース／ドレイン領域となり、ゲート電極 206 にマスクされ不純物が注入されない領域 208 は、後に TFT のチャネル領域となる。このときのチャネル長 L が、例えば 10  $\mu\text{m}$  となるように設計すると、チャネル領域内でチャネル方向を横切る結晶粒界数は 3～5 となり、それぞれの TFT 間で  $\pm 1$  個以内のばらつき内に収まる。

【0085】次に、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善させる。この際、使用するレーザーとしては KrF エキシマレーザー（波長 248 nm、パルス幅 20 nsec）を用い、エネルギー密度 150～400 mJ/cm<sup>2</sup>、好ましくは 200～250 mJ/cm<sup>2</sup> で照射を行った。こうして形成された P 型不純物（ホウ素）領域 209、210 のシート抵抗は、500～900  $\Omega/\square$  であった。

【0086】次に、図 2 (D) に示すように、厚さ 600 nm 程度の酸化ケイ素膜を層間絶縁膜 211 として形成する。酸化ケイ素膜を用いる場合には、TEOS を原料として、これと酸素とのプラズマ CVD 法、もしくはオゾンとの減圧 CVD 法あるいは常圧 CVD 法によって形成すれば、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0087】次に、層間絶縁膜 211 にコンタクトホールを形成して、金属材料、例えば窒化チタン膜とアルミ

ニウム膜との多層膜によって TFT の電極・配線 212、213 を形成する。

【0088】最後に、水素のプラズマ雰囲気中で 350℃、30 分のアニールを行い、TFT を完成させる。

【0089】本 TFT を、画素電極をスイッチングする素子として用いる場合には、電極・配線 212 または 213 を ITO など透明導電膜からなる画素電極に接続し、もう一方の電極より信号を入力する。また、本 TFT を薄膜集積回路に用いる場合には、ゲート電極 206 上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0090】以上の実施例にしたがって作製した PTF T は、電界効果移動度 40～50 cm<sup>2</sup>/Vs、S 値 1.0～1.2 V/桁、閾値電圧 -6～-7 V という良好な特性を示した。基板内における TFT 特性のばらつきは、電界効果移動度で  $\pm 10\%$ 、閾値電圧では  $\pm 5\%$  以内であった。

【0091】〔第 3 実施例〕本発明の第 3 実施例について説明する。本実施例では、アクティブマトリクス型の液晶表示装置の周辺駆動回路や、一般の薄膜集積回路を形成する NTFT と PTF T を相補型に構成した CMOS 構造の回路をガラス基板上に作製する場合である。

【0092】図 3 は、本実施例にかかる TFT の作製工程を示す断面図である。作製工程は、(A)→(D) の順にしたがって順次進行する。

【0093】まず、図 3 (A) に示すように、ガラス基板 301 上に、例えばスパッタリング法により厚さ 100 nm 程度の酸化ケイ素からなる下地膜 302 を形成する。

【0094】次に、プラズマ CVD 法によって、厚さ 25～100 nm、例えば 50 nm の真性 (I 型) の非晶質ケイ素膜 (a-Si 膜) 303 を成膜する。

【0095】次に、例えば酢酸ニッケルあるいは硝酸ニッケル等のニッケル塩の水溶液 304 を基板全面に塗布し、その後スピナーにて均一に乾燥させる。この際の水溶液中のニッケル濃度は 10 ppm とした。そして、これを水素還元雰囲気下または不活性雰囲気下、加熱温度 520～580℃ で数時間から数十時間、例えば 550℃ で 4 時間アニールして結晶化させる。この際、表面に析出したニッケルイオンが核となり、加熱直後から 15 分の間までで結晶核発生が終了する。このとき（加熱 15 分後）の核発生密度は  $1 \sim 2 \times 10^6$  個/cm<sup>2</sup> であり、それぞれの結晶核の隣接間距離は 8～12  $\mu\text{m}$  であった。その後の加熱処理では新たに結晶核は発生せず、加熱処理後 15 分間の間に起こった核発生のみで結晶成長が行われる。結果として得られる結晶粒径は 8～12  $\mu\text{m}$  で、このときの結晶粒径のばらつきは  $\pm 20\%$  以内であった。

【0096】次に、レーザー光を照射することで結晶性ケイ素膜 303 の結晶性を助長する。このときのレーザ

一光としては、XeClエキシマレーザー（波長308nm、パルス幅40ns）を用いた。レーザー光の照射条件は、照射時に基板を200～450℃、例えば400℃に加熱し、エネルギー密度200～400mJ/cm<sup>2</sup>、例えば300mJ/cm<sup>2</sup>で照射した。

【0097】その後、図3（B）に示すように、後にTFTの活性領域（素子領域）303n、303pとなる結晶性ケイ素膜を残し、それ以外の領域をエッチング除去して素子間分離を行う。

【0098】次に、図3（C）に示すように、上記結晶性ケイ素膜303nおよび303pを覆うように厚さ1000nmの酸化ケイ素膜をゲート絶縁膜305として成膜する。本実施例では、ゲート絶縁膜305の成膜方法としてTEOSを原料とし、酸素とともに基板温度350℃で、RFプラズマCVD法で分解・堆積した。

【0099】次に、スパッタリング法によって厚さ400～800nm、例えば500nmのアルミニウム

（0.1～2%のシリコンを含む）を成膜し、アルミニウム膜をパターンニングして、ゲート電極306、307を形成する。

【0100】次に、イオンドーピング法によって、活性領域303n、303pにゲート電極306、307をマスクとして不純物（リン、およびホウ素）を注入する。ドーピングガスとして、フォスフィン（PH<sub>3</sub>）およびジボラン（B<sub>2</sub>H<sub>6</sub>）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40kVから80kV、例えば65kVとし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えばリンを $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とする。この工程により、ゲート電極306、307にマスクされ不純物が注入されない領域は後にTFTのチャネル領域308、309となる。このときのチャネル長Lが例えば10μmとなるように設計すると、チャネル領域内でチャネル方向を横切る結晶粒界数は80%以上のTFTにおいて1個であり、残りのTFTでは0個あるいは2個となる。よって、全てのTFTにおけるチャネル領域内でチャネル方向を横切る結晶粒界の個数は±1個以内のばらつき内に収まる。また、ドーピングに際しては、ドーピングが不要な領域をフォトリソで覆うことによって、それぞれの元素を選択的にドーピングを行う。この結果、N型の不純物領域310と311、P型の不純物領域312と313が形成され、図3に示すようにNチャネル型TFT（NTFT）とPチャネル型TFT（PTFT）とを形成することができる。

【0101】次に、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化を行う。レーザー光としては、XeClエキシマレーザー（波長308nm、パルス幅40ns）を用い、レーザー光の照射条件としては、エネルギー密度250mJ/cm<sup>2</sup>で1か所につき2ショット照射した。

【0102】次に、図3（D）に示すように、厚さ600nmの酸化ケイ素膜を層間絶縁膜314としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば窒化チタン膜とアルミニウム膜との多層膜によってTFTの電極・配線315、316、317を形成する。

【0103】最後に、1気圧の水素雰囲気下で350℃、30分のアニールを行い、TFTを完成させる。

【0104】以上の実施例にしたがって作製したCMOS構造回路において、それぞれのTFTの電界効果移動度はNTFTで100～130cm<sup>2</sup>/Vs、PTFTで80～100cm<sup>2</sup>/Vsと高く、閾値電圧はNTFTで1.5～2V、PTFTで-2～-3Vと非常に良好な特性を示す。基板内におけるTFTの電界効果移動度のばらつきは、NTFTで±15%、PTFTで±10%以内であった。

【0105】尚、本実施例では結晶性ケイ素膜の結晶性を助長する手段として、パルスレーザーであるエキシマレーザー照射による加熱法を用いたが、それ以外のレーザー（例えば連続発振Arレーザーなど）でも同様の処理が可能である。また、レーザー光の代わりに赤外光、フラッシュランプを使用して短時間に1000～1200℃（シリコンモニターの温度）まで上昇させ試料を加熱する、いわゆるRTA（ラピッド・サーマル・アニール）（RTP、ラピッド・サーマル・プロセスともいう）などのいわゆるレーザー光と同等の強光を用いてもよい。

【0106】また、前述の第1～第3実施例においては、ニッケルを導入する方法として、非晶質ケイ素膜表面にニッケル塩水溶液を塗布、あるいはニッケル薄膜（極めて薄いので膜として観察することは困難である）を蒸着することによりニッケル微量添加を行い、その後加熱処理により結晶成長を行わす方法を採用した。しかし、非晶質ケイ素膜成膜前に、下地膜表面にニッケル微量添加を行う方法でもよい。即ち、結晶成長は非晶質ケイ素膜の上面側から行ってもよいし、下面側から行ってもよい。また、ニッケルの添加方法としては、イオンドーピング法を用いて、ニッケルイオンを非晶質ケイ素膜に選択的に注入する方法を採用してもよい。この場合は、ニッケル元素の濃度を制御することができるという特徴を有する。また、ニッケルの薄膜を成膜する代わりにNi電極を用いてプラズマ処理により、ニッケル微量添加を行うのでもよい。さらに、結晶化を助長する不純物金属元素としては、ニッケル以外にコバルト、パラジウム、白金、銅、銀、金、インジウム、スズ、リン、ヒ素、アンチモンを用いても同様の効果が得られる。

【0107】なお、上記第1～第3実施例においては結晶核の発生が終了する時間（15分）まで結晶核を発生させているが、本発明はこれに限らず、15分より前で結晶核発生を止め、その後は結晶核の発生を防止した状

態で結晶成長させるようにしてもよい。

【0108】また、上記第1～第3実施例においては、結晶核の発生が終了する時間（15分）まで結晶核を発生させているので、結晶核発生の際の温度と同一温度で結晶成長させているが、結晶成長させる温度は異ならせてもよい。

【0109】〔第4実施例〕本発明の第4実施例について説明する。本実施例では、前述の第1～第3実施例で説明したような触媒元素を用いなく、本発明の半導体薄膜を基板上に作製する場合である。

【0110】まず、基板上に減圧CVD法によって、厚さ80～300nm、例えば150nmの真性（I型）の非晶質ケイ素膜（a-Si膜）を成膜する。このときの成膜条件としては、材料ガスとしてジシラン（ $\text{Si}_2\text{H}_6$ ）ガスを用い、基板温度を450℃、成膜速度を3nm/min.とした。

【0111】次に、不活性ガス雰囲気下にて600℃でアニールを行う。この際、上記条件で形成されたa-Si膜は、4時間程度の潜伏期間を経て結晶核の発生が始まる。よって、加熱処理開始から4時間後に加熱温度を600℃から580℃～550℃に降温し、そのまま加熱処理を継続することで新たな核発生が抑えられ、600℃で発生した結晶核を中心として結晶成長が起こる。核発生までの潜伏期間は、a-Si膜の成膜方法および成膜条件により決まっており、本実施例の半導体薄膜の核発生率は、核発生のためのアニール時間により決定される。

【0112】以上のような工程では、600℃の加熱処理が必要であり、その際に発生した結晶核間の隣接間距離は等間隔には揃っていないが、このようにして作製された結晶性ケイ素膜は結晶核の発生がある期間においてのみ集中的に行われた膜となる。したがって、以上の実施例で作製した結晶性ケイ素膜を用いて半導体装置を形成することで、素子の均一性に優れた半導体装置が実現できる。

【0113】〔第5実施例〕本発明の第5実施例について説明する。本実施例では、第4実施例と同様、触媒元素を用いなく、本発明の半導体薄膜を基板上に作製する場合である。

【0114】まず、基板上に減圧CVD法によって、厚さ30～100nm、例えば50nmの真性（I型）の非晶質ケイ素膜（a-Si膜）を成膜する。このときの成膜温度は480℃以下に設定する。

【0115】次に、a-Si膜にイオン注入法によりシリコン（ $\text{Si}^+$ ）を導入する。このときのドーズ量は $1 \times 10^{12} \sim 1 \times 10^{14} \text{ atoms/cm}^2$ 、例えば $1 \times 10^{13} \text{ atoms/cm}^2$ とする。

【0116】次に、不活性ガス雰囲気下にて580℃～600℃でアニールを行う。この際、導入された $\text{Si}^+$ が結晶核となり、発生した結晶核を中心として結晶成長

が進む。但し、 $\text{Si}^+$ は結晶成長を助長する触媒としての効果はもたないため、核発生の上に寄与し、その後の核成長には影響を及ぼさない。したがって、この方法では、580℃以下の温度で短時間（4時間程度）での結晶成長は不可能であるが、このようにして作製された結晶性ケイ素膜は、結晶核の発生がある期間においてのみ集中的に行われ、その際に発生した結晶核間の隣接間距離はほぼ等間隔に揃った膜となる。したがって、以上の実施例で作製した結晶性ケイ素膜を用いて半導体装置を形成することで、素子の均一性に優れた半導体装置が実現できる。

【0117】以上、本発明に基づく第5実施例につき具体的に説明したが、本発明は上述の実施例に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0118】さらに、本発明の応用としては、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサー、ドライバー内蔵型のサーマルヘッド、有機系EL等を発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。本発明を用いることで、これらの素子の高速、高解像度化等の高性能化が実現される。さらに本発明は、上述の実施例で説明したMOS型トランジスタに限らず、結晶性半導体を素子材としたバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広く半導体プロセス全般に応用することができる。

【0119】

【発明の効果】本発明を用いることにより、大面積基板全面にわたって均一で良好な結晶性を有する半導体薄膜が実現できる。さらにその半導体薄膜を利用して、基板全面にわたって均一で安定した特性の高性能半導体素子を有する半導体装置が、簡便な製造プロセスにて得られる。特に液晶表示装置においては、アクティブマトリクス基板に要求される画素スイッチングTFTの特性の均一化、周辺駆動回路部を構成するTFTに要求される高性能化を同時に満足し、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するドライバモノリシック型アクティブマトリクス基板が実現でき、モジュールのコンパクト化、高性能化、低コスト化がはかれる。

【図面の簡単な説明】

【図1】第1実施例におけるTFTの作製工程を示す図である。

【図2】第2実施例におけるTFTの作製工程を示す図である。

【図3】第3実施例におけるTFTの作製工程を示す図である。

【図4】本発明の概要を示す図であり、アニール時間と核発生速度との関係を示す図である。

【図5】本発明の概要を示す図であり、結晶粒径と頻度との関係を示す図である。

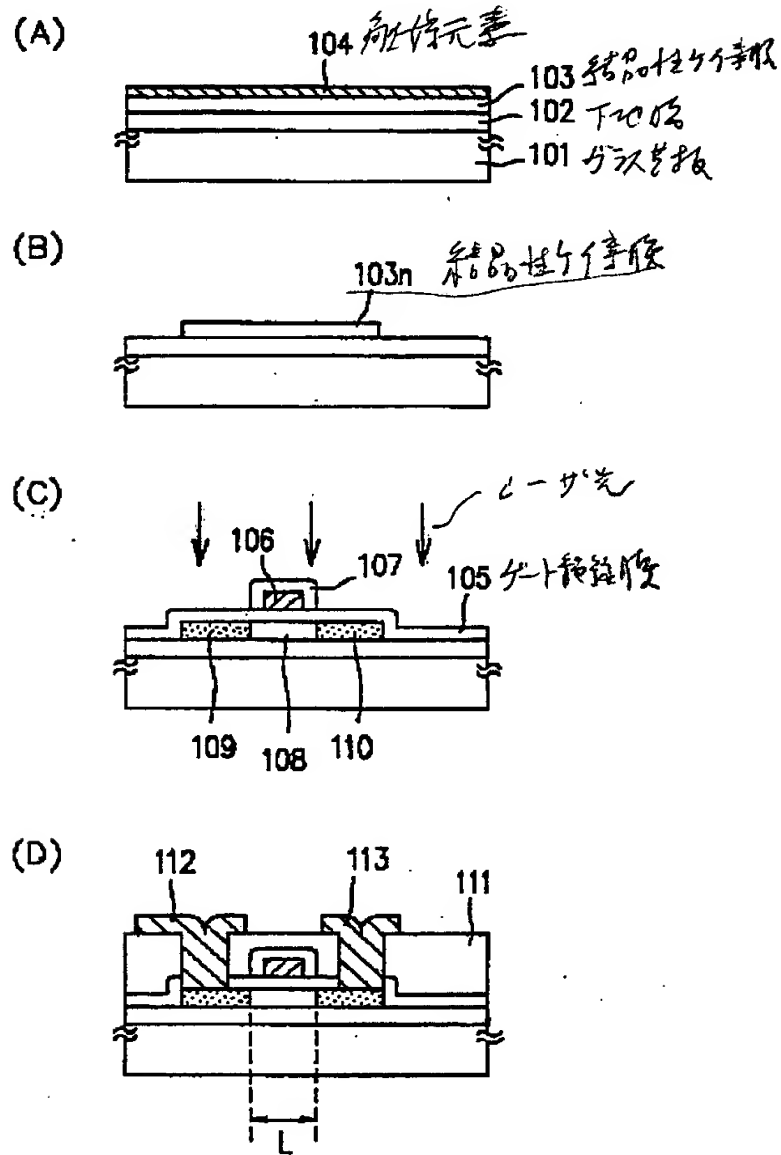
21

【図6】本発明の概要を示す図であり、結晶核の隣接間距離と頻度との関係を示す図である。

## 【符号の説明】

101、201、301 ガラス基板  
 102、202、302 下地膜  
 104、204、304 触媒元素（ニッケル）  
 105、205、305 ゲート絶縁膜  
 106、206、306、307 ゲート電極  
 107 陽極酸化層

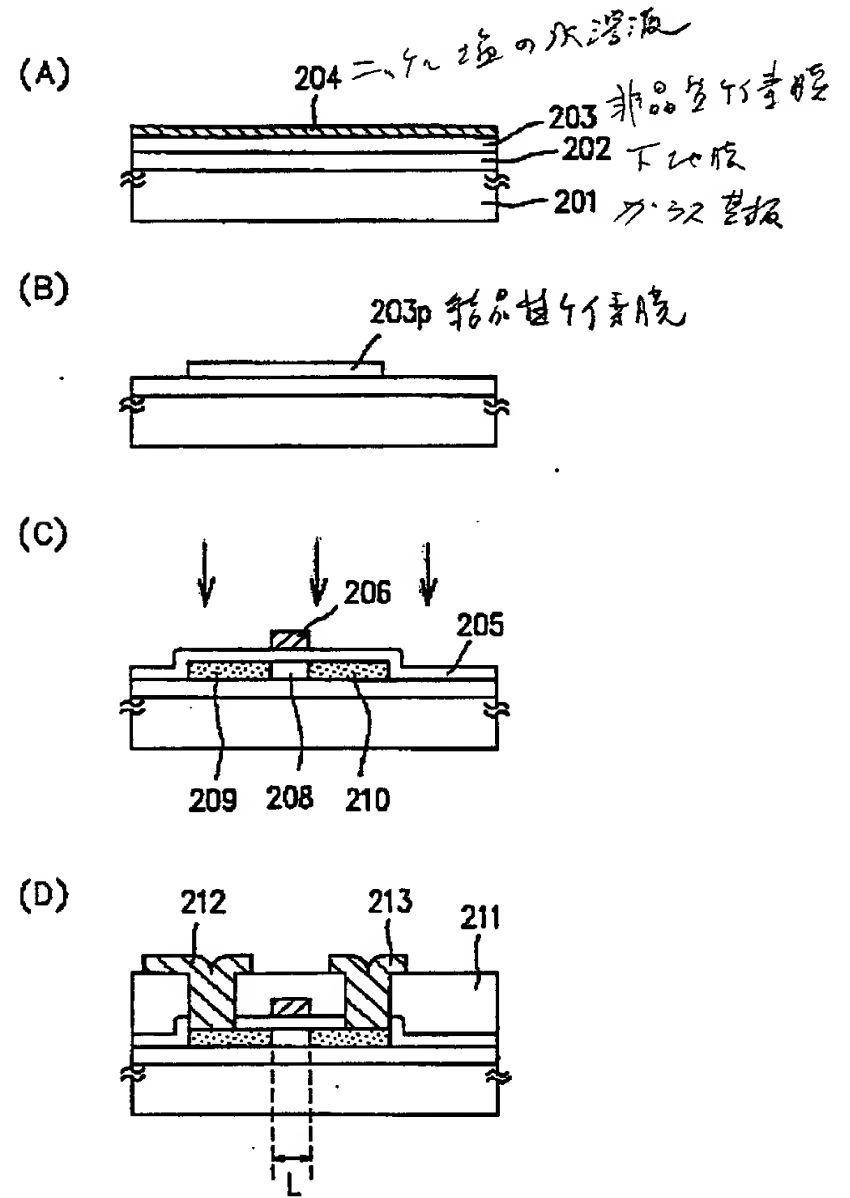
【図1】第1実施例



22

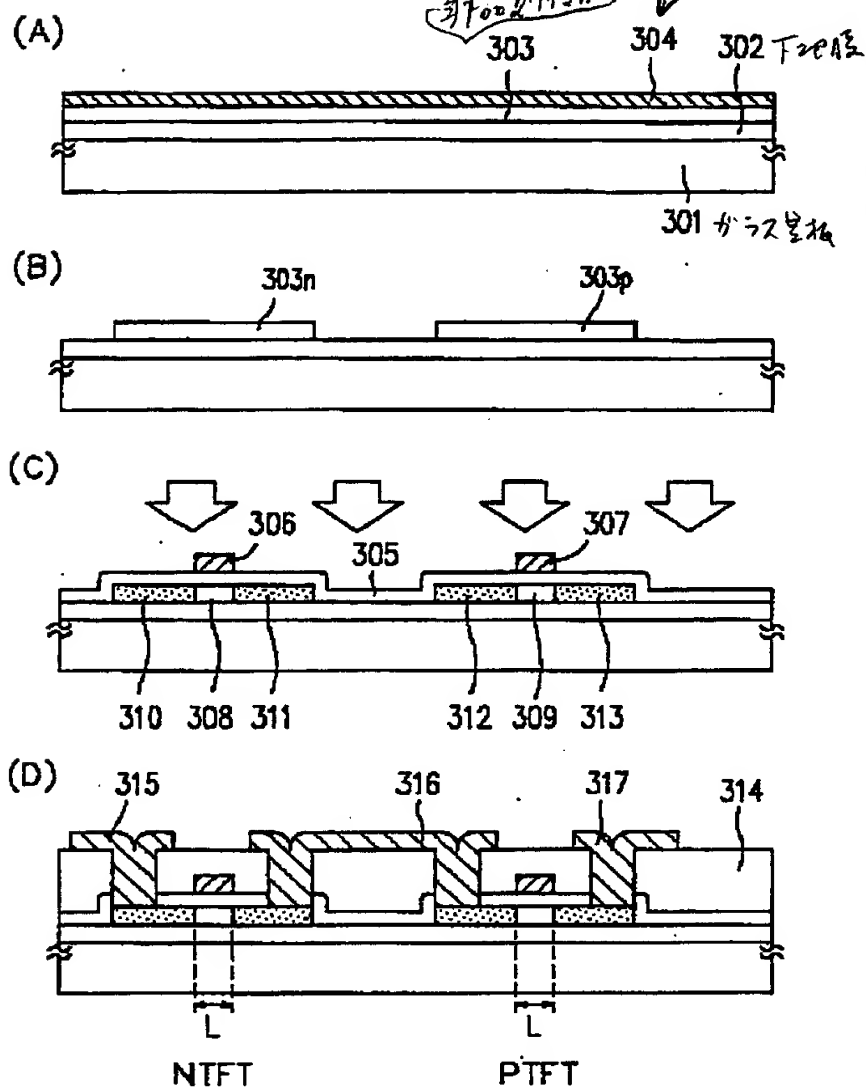
108、208、308、309 チャンネル領域  
 109、110、209、210 ソース/ドレイン領域  
 310、311、312、313 ソース/ドレイン領域  
 111、211、314 層間絶縁物  
 112、113、212、213 電極・配線  
 315、316、317 電極・配線

【図2】第2実施例

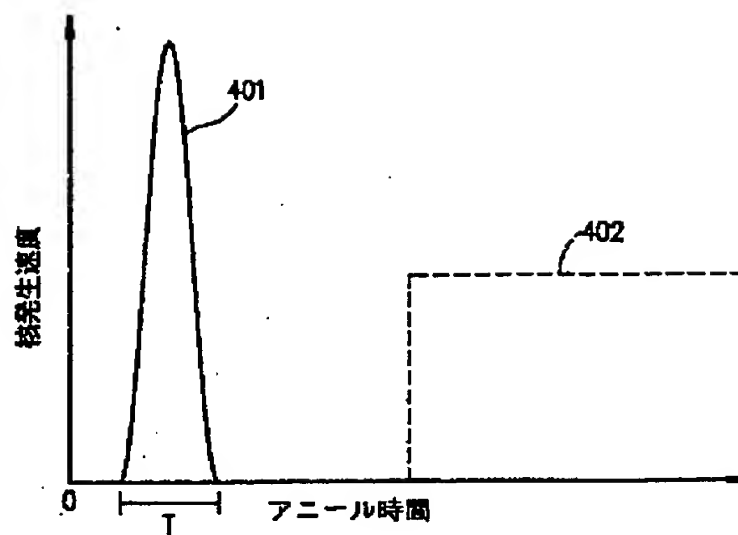




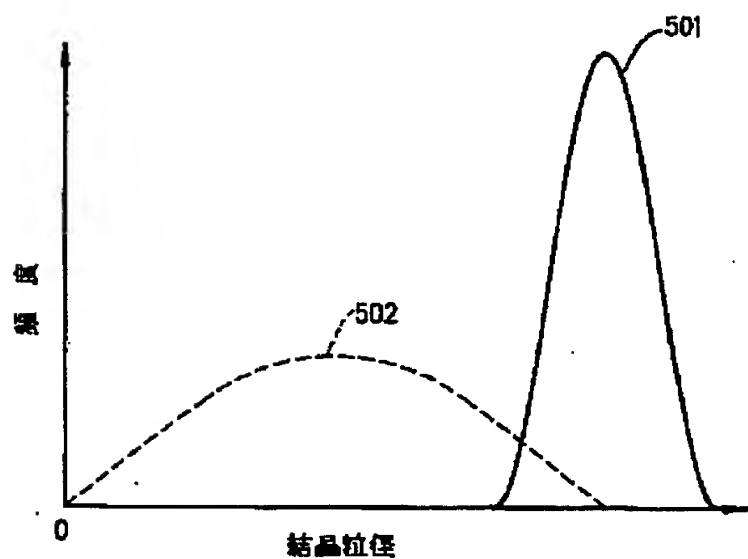
【図 3】



【図 4】



【図 5】



【図 6】

